

LSI回路の低キャプチャ電力テスト生成技術

温 暁青
九州工業大学



私どもが発表した2件の論文[1, 2]に対して平成20年度電子情報通信学会情報・システムソサイエティ論文賞を頂き、共著者全員身に余る光栄と感じております。関係者の皆様に深くお礼申し上げます。

2件の論文はともにLSI回路のスキャンテスト時のキャプチャ電力を抑えつつテストパターンを作るという低キャプチャ電力テスト生成に関する研究成果でした。テストを容易にするためのスキャン構造を持つ回路の場合、テスト時のキャプチャ電力は回路応答がフリップ・フロップ (FF) に取り込まれる際に消費されるもので、機能動作時より数倍高く、機能動作に合わせて設計された電源配線の許容範囲を超える電源電圧降下を引き起こすことが多くなります。その結果、活性化パスにおける遅延増加によるタイミング異常で実速度テストの結果が誤り、正常回路でも不良品に判定されてしまう危険性が高まります。このため、スキャンテスト時のキャプチャ電力を削減し、誤テストによる歩留まり低下を防ぐことが極めて重要です。

キャプチャ電力削減の基本アプローチとして、(1)クロックゲーティングやパワーゲーティングなどの低消費電力設計手法の利用、(2)回路またはクロックの変更、及び(3)テストパターンの工夫が挙げられます。(1)と(2)は多くの回路部分を同時にテストするという並列性を設計的に制限するため、回路オーバーヘッドのみならず、テストデータもテスト時間も増えてしまうという問題点がありますが、(3)は、2004年まで大学でも企業でもほとんど着目されませんでした。

2004年は6年間勤めた米国EDA企業のSynTest Technologies社から九州工業大学に移った年でした。SynTestで研究開発を行ったロジックBISTとテスト圧縮との重複を避けるべくそれ以外の研究テーマを探していた頃、LSIテストの様々な話題を議論する国内研究会(FTC)に参加する機会がありました。FTC特有の自由闊達な

雰囲気触発されたか、テストパターン中の冗長部分(Xビット)に最適な論理値を設定すれば、FFの入出力が同じ値になり、クロックが来ても出力遷移が起こらず、キャプチャ電力が低くなることに気づき、早速会場で研究を始めました。その成果はLCP X-Filling技術として国際会議(VTS'05)で発表され、[1]の論文に発展しました。VTS'05の論文は、Xビットを利用した低キャプチャ電力テスト生成の最初の論文として広く引用され、この研究分野の火付け役にもなりました。また、翌年のVTS'06では、テストパターン中の非冗長部分をもキャプチャ電力削減に利用するC-ConflictとReversible Backtrackの概念を発表し、[2]の論文に発展しました。このように、2件の論文はテストパターンの中身を工夫することによって、回路オーバーヘッドなしでキャプチャ電力を削減できるという大きな利点を有しています。

FTC研究会でLCP X-Fillingのアイデアを思いついてから5年経った今年、論文受賞に加え、フランスとカナダの研究者と編集した低消費電力テスト技術に関する世界初の専門書がSpringer社より出版されるという特別な年になりましたが、これを励みに、今後も独創的な研究を続けたいと思っております。

参考文献

- [1] X. Wen, Y. Yamashita, S. Kajihara, L.-T. Wang, K. K. Saluja, and K. Kinoshita, "A New Method for Low-Capture-Power Test Generation for Scan Testing," *IEICE Trans. Inf. & Syst.*, Vol.E89-D, No.5, pp.1679-1686 (2006).
- [2] X. Wen, S. Kajihara, K. Miyase, T. Suzuki, K. K. Saluja, L.-T. Wang, and K. Kinoshita, "A Novel ATPG Method for Capture Power Reduction during Scan Testing," *IEICE Trans. Inf. & Syst.*, Vol.E90-D, No.9, pp.1398-1405 (2007).