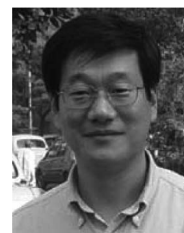


## 低消費電力LSIのための低消費電力テスト技術

温 暁青  
九州工業大学



### 1. 低消費電力LSIのテスト電力問題

電子機器のモバイル化・省エネ化に伴い、低消費電力LSIへの需要は高まるばかりである。今やLSIの低消費電力化はチップ面積や処理速度よりも優先されることが多く、LSIの価値を高める切り札となってきた。一方、低消費電力化によって通常動作時の機能電力 (Functional Power) は低くなるが、製造されたLSIに故障の有無を調べる時のテスト電力 (Test Power) は相対的に高くなってしまふ。高いテスト電力は、LSIの熱破壊や誤動作を引き起こし、低消費電力LSIの実現の妨げになってきている。

論理LSIはテストの効率化のためにスキャン設計 (Scan Design) が施されることが多い。このようなLSIに対して行われるスキャンテスト (Scan Test) では、まずシフト操作 (Shift) でフリップフロップ (FF) をスキャンパスと呼ばれるシフトレジスタに組み替え、それを通じて外部から組合せ回路部に対してテスト入力をシリアルに印加する。その後、キャプチャ操作 (Capture) で印加されたテスト入力に対する組合せ回路部の静的応答または動的応答をFFにパラレルに取り込む。一般的には、静的応答の獲得は1回のキャプチャを、動的応答の獲得は機能動作と同じ速度で行われる2回のキャプチャが必要となる。テスト応答は次のシフト操作でシリアルに外部に取り出され、期待応答値と比較することによって、LSIに構造的な故障 (静的応答の場合) やタイミング故障 (動的応答の場合) の有無を調べる。特に、動的テスト応答に基づく実速度スキャンテスト (At-Speed Scan Test) は、パス遅延の異常が発生しやすい微細化LSIの品質保証のために必要不可欠である。

スキャンテストにおいては、1つのテスト入力により多くの故障を検出しようとするので、低消費電

力化のために設けられた機能的な制約や設計が無視されることが多い。このため、機能電力は低く抑えられているにも関わらず、テスト電力はその数倍も高くなることが多く、様々な問題を引き起こしている。

具体的には、スキャンテスト電力には、シフト電力 (Shift Power) とキャプチャ電力 (Capture Power) がある。シフト操作に最長スキャンパスの長さ分のクロックパルスが必要なので、シフト電力の影響は蓄積的で温度上昇という形で現れ、LSIを高熱で壊してしまう可能性がある。一方、キャプチャ電力の影響は瞬間的で電源ネットワークでの電圧降下 (IR Drop) とグランドネットワークでの電圧上昇 (Ground Bounce) による論理素子の遅延増加という形で現れる。特に、実速度スキャンテストにおいては、1回目のキャプチャの電力による論理素子の遅延増加がパス上で累積され2回目のキャプチャでタイミング異常が起きれば、動的テスト応答が誤ってしまう。その結果、機能的には正常なLSIでもテストでは不良品と判定され、LSIの歩留まりを低下させてしまう。

明らかに、機能電力を対象とした低消費電力化技術だけでは低消費電力LSIの実現は不可能で、低消費電力テスト技術も必要不可欠である。

### 2. 低消費電力テスト技術開発の歩み

LSIのパッケージや電源・グランドネットワークがテスト電力にも対応できるように余裕を持って設計されていたが、機能電力とテスト電力のギャップの急増に伴い、この対策は有効でなくなった。そこで、本格的な低消費電力テスト技術が開発されるようになった。

1990年代半ばから、シフト電力削減の研究開発が盛んに行われてきた。シフト電力削減の基本は、シフト時のスキャンパス内のFFの出力変化数をい

かに減らすかである。それを実現するために、テスト入力を工夫する手法とLSI回路を変更する手法がある。前者としては、故障検出に使われないテスト入力ビットに0-Fill, 1-Fill, MT-Fill, Adjacent-Fillなどのアルゴリズムで適切な論理値を埋め込むといった手法、また後者としては、FFの順序変更やFF間への論理素子の挿入によってスキャンパス内の隣接FFの出力値の相違数を減らすといった手法が提案されている。また、1本の長いスキャンパスを複数の短いセグメントに分割した上、毎回1つのセグメントのみをシフトすることによってシフト電力を確実に削減するというSegment Scan手法も提案されている。更に、スキャンパス内のFFの出力変化が組合せ回路部まで影響を及ぼさないようにするためにスキャンパス内のFFの出力の一部または全部をブロックする手法もある。

2000年代半ばから、キャプチャ電力の削減に関する研究開発も盛んになった。特に、実速度スキャンテストにおける1回目のキャプチャによるFFの出力変化数がパス遅延増加量に比例し、2回目のキャプチャで動的テスト応答を正しく獲得できるかを左右するため、1回のキャプチャにおけるFFの入出力値の違いをできるだけ少なくする必要がある。FFの入出力値が等しくなるようにするために、入力ビットへの必要な論理値設定をテスト入力生成の過程で直接に探索する手法、及び、故障検出に必要なビットに適切な論理値を埋め込む手法(LCP-Fill, Preferred-Fill, JP-Fillなど)が提案されている。また、テスト入力生成の過程でGated Clockを利用し一部のFFのクロックを止める手法も提案されている。更に、回路変更や制御回路追加などによって一度に一部のFFのみに対してキャプチャを行うという部分キャプチャ方式(Partial Capture)も提案されている。

### 3. 低消費電力テスト技術開発の最新動向

10数年が経った今、数多くの低消費電力テスト技術は開発され、その一部は実用化されている。しかし、これらの技術は総じて第1世代の低消費電力テスト技術と言える。その特徴は、LSI全体のテスト電力しか削減できないというグローバル性である。

その欠点は、LSI全体のテスト電力が減っても局所テスト電力の高いエリアが残る可能性があることである。

この問題を解決するために、第2世代の低消費電力テスト技術の研究開発が始まっている。その特徴はテスト電力を局所的に削減するというローカル性にある。これはキャプチャ電力の場合に特に重要である。これを実現するために、(1)高精度なテスト電力解析に基づいて局所テスト電力の高いエリアを特定すること、及び、(2)そのような局所テスト電力を集中的に削減することが必要になる。前者に関しては、テスト入力で活性化された長いパスの近傍を電源ネットワークの設計情報を利用して抽出する研究や論理素子出力変化の前後関係を利用して局所テスト電力のパス遅延への影響を定量化する研究が、また後者に関しては、局所テスト電力に影響を与えるようなテスト入力ビットやGated Clockを利用して局所テスト電力を削減する研究が、それぞれ注目されている。

### 4. 今後の展望

テスト電力の本質から、中長期的な研究開発では以下の技術の確立が目標になると予想される。

- 単なるテスト電力削減ではなく、テスト電力が悪い影響を出さないようにするテスト安全性保障技術
- テスト電力によるパス遅延の増加が微小遅延欠陥の検出に寄与する場合もあるので、テスト電力を必要に応じて増減させるというテスト電力制御技術

低消費電力テスト技術の研究開発は応用上重要でかつ比較的若い研究分野である。今後も革新的・実用的な成果が多く生まれることが期待できる。

### 参考文献

- [1] L. Wang, C. Wu, and X. Wen, (Editors), VLSI Test Principles and Architectures: Design for Testability, Morgan Kaufmann, San Francisco, 2006.
- [2] P. Girard, N. Nicolici, and X. Wen (Editors), Power-Aware Testing and Test Strategies for Low Power Devices, Springer, New York, 2009.
- [3] <http://aries3a.cse.kyutech.ac.jp/~wen/Paper-LCP.htm>